

(11)特許出願公開番号

特開平8-65308

(43)公開日 平成8年(1996)3月8日

(51) Int.Cl.⁸

識別記号

庁内整理番号

FI

技術表示箇所

H O 4 L 12/28

29/06

H 0 4 Q 3/00

9466-5K

9371-5K

H04L 11/20

13/ 00

3 0 5

G.

D

審査請求 未請求 請求項の数3 OL (全 8 頁)

(21)出願番号

特願平6-193272

(22) 出願目

平成6年(1994)8月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岸上 徹

東京都日野市旭が丘3丁目1番地の1 株
 式会社東芝日野工場内

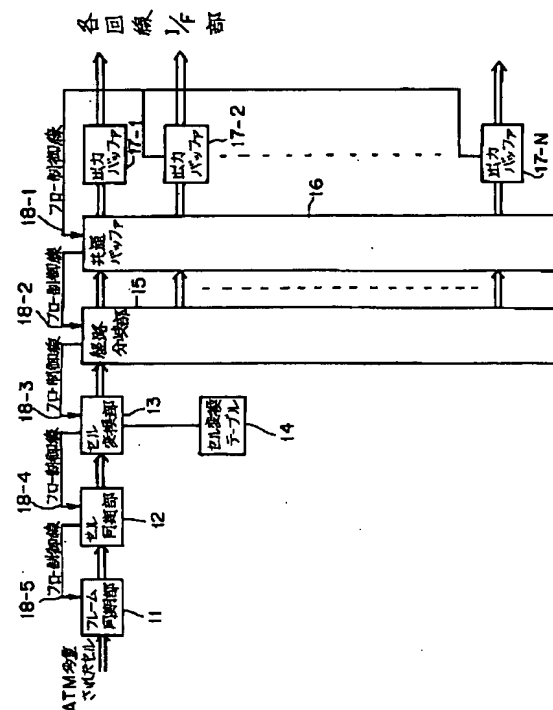
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 即時性優先制御方式

(57) 【要約】

【目的】有効で安定した制御のできる即時性優先制御方式を提供する。

【構成】経路分歧部（１５）に全回線共用の大容量の共通バッファ（１６）を設け、回線毎のバッファ数を可変にし、各回線Ⅰ／Ｆ部ごとの小容量の出力バッファ（１７－１～１７－Ｎ）がオーバーフローしないようにフロー制御線（１８－１～１８－５）を張り、レディ制御を行う。



1

【特許請求の範囲】

【請求項1】 ユーザ網インターフェースセルまたはネットワークノードインターフェースセルからなるインターフェースセルを装置内でのみ有効なローカルな内部セルに変換する非同期転送モードの装置における即時性優先制御方式において、

前記インターフェースセルの仮想パス識別子および仮想チャンネル識別子により決定される非同期転送モードコネクション毎に即時性優先度を定めるとともに、前記内部セルへの変換に際して、前記内部セルの1フィールドに、前記即時性優先度に対応する即時性優先度情報を付加し、前記優先度と前記非同期転送モードコネクションとの対応づけを行う制御手段を具備することを特徴とする即時性優先制御方式。

【請求項2】 前記制御手段は、外部回線への経路を決定し、前記内部セルを出力バッファを介して回線インターフェース部に出力する経路分岐部と、前記経路分岐部と前記出力バッファとの間に設けられ、内部通信路における内部セル転送速度を小さくする全回線共用の共通バッファとを具備したことを特徴とする請求項1記載の即時性優先制御方式。

【請求項3】 前記制御手段は、前記内部通信路における内部セルのオーバーフローを低減するフロー制御線を具備したことを特徴とする請求項2記載の即時性優先制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はATM（非同期転送モード）技術を用いた多重化装置、交換機等における即時性優先制御方式に関する。

【0002】

【従来の技術】 最近、VPI（仮想パス識別子）/VCI（仮想チャンネル識別子）と呼ばれるラベルに基づいて通信を行うATM技術を用いたB-ISDN（広帯域サービス統合デジタル網）が注目されている。このVPI/VCIと呼ばれるラベルに基づいて通信を行うATM技術を用いたB-ISDNが実現されると、現在では存在しない様々なサービスがユーザーに提供されることが予想されている。

【0003】 この場合、情報を提供する側では、1つの物理回線を、種々のサービス要求を持つ種々のメディアが混在した形で多重化し、これらの種々のメディアの伝送に関して各々が要求する品質（例えば、廃棄率、遅延時間、遅延時間のばらつき等）に対応した品質を制御できる形式で提供することにより、有限な資源である物理回線を有効に利用できる可能性がある。

【0004】 ここで、ユーザーに提供する品質を保証する方法としては、セル通信の実時間性によって分類して列挙すると以下になる。

2

【0005】 1) 非実時間性

a) 呼受付制御（CAC: Call Admission Control）
交換機等で、呼受付時に端末側より要求されたトラヒックが、交換機、対応ルート等の伝送容量を越えないか判断し、呼を受理するか決定する。

【0006】 2) 実時間性

a) 使用量パラメータ制御（UPC: Usage Parameter Control）

呼受付時のユーザーのトラヒック申告値と実際のセル流量が合っているかを監視し、申告値を越える場合は、廃棄するなどの処理が行われる。

【0007】 b) 優先制御

i) 廃棄性

UNI（ユーザ網インターフェース）、NNI（ネットワークノードインターフェース）セル内のCLP（セル損失優先）フィールドを用いて、トラヒックが交換機等の伝送容量を越えた場合は廃棄する。この制御はUNI、NNIセルに対しては、明示的（explicit）な優先制御である。

20 【0008】 ii) 即時性

UNI、NNIセルのVPI/VCI値に対応して、優先制御を行う。この制御はUNI、NNIセルに対しては、暗示的（implicit）な優先制御である。）

なお、ここでは、実時間性のセル通信における優先制御について説明する。実時間性の優先制御方式には、上述したように明示的（explicit）なものと暗示的（implicit）なものが存在する。

【0009】 図2に、従来の優先制御を実現する多重化装置の概略構成を示す。図2に示す従来の優先制御において、まず、ATM多重されたセル（フレーム）はフレーム同期部21に入力される。このフレーム同期部21では、ATM多重されたセルのフレーム同期をとる。

【0010】 フレーム同期部21でATM多重されたセルのフレーム同期が取られると、このフレーム同期が取られたセルはセル同期部22に転送される。このセル同期部22では、フレーム同期が取られたセルのセル同期をとる。セル同期部22でセル同期がとられると、このセルはつぎにセル変換部23に転送される。

【0011】 セル変換部23では、UNI、NNIセルから内部セルに変換するためのルーティング情報等が保持されているセル変換テーブル24にアクセスし、UNI、NNIセルのVPI/VCIからルーティングタグ（経路分岐部25内の副分岐部、すなわち、後述する図3に示す副分岐部で分岐するとき使用するルーティング情報）を検索し、該当セルに所定の内部セルヘッダを付加する。

【0012】 なお、ある1つのATMコネクションに対するセル変換テーブル内の内容は、公衆回線の場合は呼受付時に、専用線の場合は機器立ち上げ時に設定される。

50

3

【0013】セル変換部23で内部セルヘッダが付加されると、このセルは経路分岐部25へ転送される。

【0014】経路分岐部25では、セル変換部23から転送されたセルを、ルーティングタグにしたがって図示しない該当外部回線インターフェース（回線I/F）側へ分離、出力する。

【0015】ここで、経路分岐部25が多入力、多出力の分岐を行う場合を考えると、経路分岐部25の構成は、図3に示すように構成されている。すなわち、経路分岐部25は、回線数の増加に伴う分岐の増大に対応できるように、ブロック構造をもち、n段の副分岐部を用いて段階的に構成されている。ここで、副分岐部の段数nは、交換機または多重化装置の規模によって決定される。この経路分岐部25の副分岐部では、前段の副分岐部より入力された内部セルをルーティングタグにしたがって、該当する後段の副分岐部へと出力する。

【0016】そして、いくつかの副分岐部を通過した後、最終的には、経路分岐部25より該当する回線I/F部に一意的に出力される。

【0017】ここで、経路分岐部25により分離、出力された内部セルは、そのまますぐに外部回線に出力されるのではなく、一度、回線I/F部に対応する出力バッファ26-1~26-Nに蓄積される。ただし、出力バッファ26-1~26-Nは品質クラス（優先度）毎に分けられているので、経路分岐部25により分離、出力された内部セルは該当する品質クラスのバッファに蓄積される。この出力バッファ26-1~26-Nは大容量で、各回線I/F部毎に持つ方式が取られている。

【0018】ところで、該当回線のトラフィック量が多い場合は、この出力バッファ26-1~26-Nの部分でCLPフィールドを用いた廃棄性優先制御が行われる。

【0019】ここで、廃棄性優先制御には、明示的（explicit）なものと同暗示的（implicit）のものが存在する。

【0020】明示的（explicit）な廃棄性優先制御は、UNI、NNIセル内のCLPフィールドを用いてセルベースで優先制御が行われる。ここで、CLPフィールドのCLPの値は0または1をとり、CLP=1でネットワークが輻輳しているときには、そのセルは選択的に廃棄することが許される。

【0021】なお、このCLPフィールドを用いた廃棄性優先制御を行うためには、同一のATMコネクション上のCLPの値がセル毎に異なることがあるので、回線I/Fに設ける出力バッファを品質クラス（優先度）毎に分けてキューイングする必要がある。ここで、当該回線のトラフィック量が多い場合には、品質クラスが低いバッファに蓄積されているセルから廃棄するという方式で廃棄制御を行う。

【0022】また、廃棄性優先制御は、同一のATMコ

4

ネクション上のセルでも異なる品質クラスのバッファにキューイングされることもあるので、連続無欠性（sequence integrity：ATMコネクションの端点で出力したセルの順番通りにATMコネクションのもう一つの端点に届く）制御、つまり複数のバッファからセルを出力するときに順番を守ることが必要になる。

【0023】また、装置外への出力経路に向けて分岐する部分、すなわち経路分岐部25でセル単位にハードウェアで転送確認を行っている構成が多く、この制御を行うとバッファを有効に使うことになるため、廃棄率を低くおさえることができる。

【0024】また、輻輳により廃棄が起こる場合には、出力バッファの容量に応じて廃棄されないだけで、本質的な解決にはならない。

【0025】さらに、図4に示すクラス0のような品質を持つものを考えた場合、図4に示す部分*ではトラフィック量が少し増えただけで、廃棄率が大きく変動するため、上記のような制御では有効で安定な制御はできない。

【0026】暗示的（implicit）な廃棄性優先制御は、UNI、NNIセルのVPI/VC I値に対応して優先制御が行われる。この場合、優先度は内部セルのヘッダ等には明示されるが、UNIセルのセルヘッダには明示されない。すなわち、この場合の即時性優先制御は各VPI/VC Iに対応した優先度を内部セルの1フィールドに付加し、そのフィールドを用いて制御を行う。

【0027】しかし、この場合の即時性優先制御は、品質クラスの混合度によって安定性に欠けることがある。例えば、図4に示すクラス0の優先度を持つものが大きいと、トラフィック量過大の場合は、出力バッファで図4に示すクラス1およびクラス2のものばかり廃棄され、セル通信がほとんどできなくなることもある。

【0028】また、図4に示すクラス0の品質を持つ複数のもののトラフィック量が過大になると品質を保証できなくなることもある。

【0029】

【発明が解決しようとする課題】上述したように、従来の装置を用いて廃棄性優先制御を行う場合、連続無欠性と、図4に示すクラス0のような品質を持つものを考えた場合、図4に示す*の部分では、負荷が少し増えただけで廃棄率が大きく変動するため、有効で安定な制御ができないという不具合があった。

【0030】そこで、上記廃棄性優先制御をやめて、即時性優先制御方式で優先制御を実現しようとする、以下に示すような問題が生じる。

【0031】1）各回線I/F毎に出力バッファを設けるため、分割損がでるうえ、回線I/F部毎に大きな出力バッファが必要になり、ハードウェア量が大きくなり、また、有効で安定な制御がおこなえない。

【0032】2）このような方式を実現するためには、

5

セル変換部と出力バッファの間のデータ転送速度は、回線 I/F 部の出力バッファから外部回線に出力される速度より大幅に大きい必要がある。これは、優先制御を有効にするためには出力バッファに多数のセルが蓄積されているほうが良いからである。このため、ハードウェアが高価になる。

【0033】3) また、経路分岐部とバッファ間のセル転送速度が大きいため、トラヒックが大きくなると、出力バッファでオーバーフローして廃棄されてしまう。

【0034】そこで、この発明は、有効で安定した制御のできる即時性優先制御方式を提供することを目的とする。

【0035】

【課題を解決するための手段】上記目的を達成するため、この発明は、ユーザ網インターフェースセルまたはネットワークノードインターフェースセルからなるインターフェースセルを装置内でのみ有効なローカルな内部セルに変換して通信を行う非同期転送モードの通信装置における即時性優先制御方式において、前記インターフェースセルの仮想パス識別子および仮想チャネル識別子により決定される非同期転送モードコネクション毎に即時性優先度を定めるとともに、前記内部セルへの変換に際して、前記内部セルの 1 フィールドに、前記即時性優先度に対応する即時性優先度情報を付加し、前記優先度と前記非同期転送モードコネクションとの対応付けを行う制御手段を具備し、経路分岐部に全回線共用の大容量の共通バッファを設け、また、出力バッファがオーバーフローしないようにフロー制御線を有し、レディ制御をおこなうことを特徴とする。

【0036】

【作用】この発明では、制御手段により、仮想パス識別子および仮想チャネル識別子により決定される非同期転送モードコネクション毎に即時性優先度を定めるとともに、内部セルへの変換に際して、内部セルの 1 フィールドに、即時性優先度に対応する即時性優先度情報を付加し、優先度と前記非同期転送モードコネクションとの対応付けを行う。

【0037】ここで、前記制御手段は、外部回線への経路を決定し、前記内部セルを出力バッファを介して回線インターフェース部に出力する経路分岐部と、前記経路分岐部と前記出力バッファとの間に設けられ、内部通信路における内部セル転送速度を小さくする全回線共用の共通バッファとを具備して構成することができる。

【0038】また、前記制御手段は、前記内部通信路における内部セルのオーバーフローを低減するフロー制御線を具備して構成することができる。

【0039】

【実施例】以下、この発明に係わる即時性優先制御方式の実施例を図面に基づいて詳細に説明する。

【0040】図 1 は、この発明に係わる即時性優先制御

6

方式を適用して構成した多重化装置の一実施例の概略構成を示すブロック図である。この図 1 に示す通信装置は、ATM 多重されたセルを各回線 I/F に分離出力するもので、フレーム同期部 11、セル同期部 12、セル変換部 13、セル変換テーブル 14、経路分岐部 15、共通バッファ 16、出力バッファ 17-1 ~ 17-N を具備して構成される。

【0041】また、出力バッファ 17-1 ~ 17-N と共通バッファ 16 との間にはフロー制御線 18-1 が設けられ、共通バッファ 16 と経路分岐部 15 との間にはフロー制御線 18-2 が設けられ、経路分岐部 15 とセル変換部 13 との間にはフロー制御線 18-3 が設けられ、セル変換部 13 とセル同期部 12 との間にはフロー制御線 18-4 が設けられ、セル同期部 12 とフレーム同期部 11 との間にはフロー制御線 18-5 が設けられる。

【0042】かかる構成において、まず、フレーム同期部 11 には、UNI、NNI セルを ATM 多重したセルが入力される。フレーム同期部 11 ではこのセルのフレーム同期をとる。フレーム同期部 11 において、セルのフレーム同期がとられると、次にこのセルはセル同期部 12 へ転送される。セル同期部 12 では、このセルのセル同期をとる。セル同期部 12 において、セルのセル同期がとられると、このセルはセル変換部 13 に転送される。

【0043】セル変換部 13 では、UNI、NNI セルを内部セルの形式に変換する。その際、UNI、NNI セルの VPI/VC I 毎に装置内のルーティング情報、優先度情報を保持しているセル変換テーブル 14 を参照し、ルーティングタグ、優先度情報等を内部セルヘッダの該当フィールドに書込み、該当セルに付加する。ここで、この優先度情報の値は UNI、NNI セルの同一の VPI/VC I に対しては、同一の値をとる。

【0044】なお、このセル変換テーブル 14 は、公衆回線の場合は呼設定時、専用線の場合は機器立ち上げ時に作成される。

【0045】セル変換部 13 で内部セルに変換された UNI、NNI セルは、経路分岐部 15 に出力される。この経路分岐部 15 は、図 3 に示すごとく、副分岐部を n 段に階層的に組み合わせたブロック構造を持っている。ただし、副分岐部の段数 n はこの多重化装置の規模による。

【0046】経路分岐部 15 では、前段の副分岐部から転送されてきた内部セルをルーティングタグにしたがって、該当する後段の副分岐部に分岐する。このようにして、経路分岐部 15 でルーティング経路が一意に決定された内部セルは、共通バッファ 16 に出力され、蓄積される。

【0047】共通バッファ 16 に蓄積されたセルは、出力バッファ 17-1 ~ 17-N を介して図示しない該当

7

回線 I/F 部へ出力されるが、ここで、該当回線 I/F 部に対応する図示しない回線のトラヒック量が大きい場合には、該当回線 I/F 部に対応する出力バッファ 17-1~17-N からフロー制御線 18-1 を通してレディ制御が行われ、共通バッファ 16 からの出力が待たされる。その後共通バッファ 16 からは、該当回線のトラヒック量の減少を待って、セルが該当する回線 I/F 部へ出力される。

【0048】なお、回線 I/F 部に対応する出力バッファ 17-1~17-N からのレディ制御により、フロー制御線 18-2、18-3、18-4、18-5 を介して、経路分岐部 15、セル変換部 13、セル同期部 12、フレーム同期部 11 においてもオーバーフローしないようにレディ制御できるようにする。

【0049】共通バッファ 16 から出力されたセルは、一度各回線 I/F 毎に設けられた小容量の出力バッファ 17-1~17-N に蓄積された後、各回線に出力される。なお、上記実施例においては、この発明を多重化装置に適用した場合を示したが交換機等においても同様に適用することができる。

【0050】

【発明の効果】以上説明したようにこの発明によれば、制御手段により、仮想パス識別子および仮想チャネル識別子により決定される非同期転送モードコネクション毎に即時性優先度を定めるとともに、内部セルへの変換に際して、内部セルの 1 フィールドに、即時性優先度に対応する即時性優先度情報を付加し、優先度と前記非同期転送モードコネクションとの対応付けを行うように構成したので、有効で安定した制御のできる即時性優先制御方式を提供することができる。

【0051】また、経路分岐部に全回線共用の大容量の共通バッファを設け、回線毎のバッファ数を可変にし、

8

各回線 I/F 部ごとの小容量の出力バッファがオーバーフローしないようにフロー制御線を張り、レディ制御を行うようにしたので、以下の効果を奏する。

【0052】1) バッファの分割損がなくなり、回線 I/F 部ごとに大容量の出力バッファを設けるよりバッファの総量を少なくすることができる。

【0053】2) 出力バッファにセルを蓄積し、優先制御を行う必要がないため、経路分岐部と回線 I/F 部の間の内部通信路でのセル転送速度を従来のように大幅に高める必要がない。

【0054】3) レディ制御を行うため、回線 I/F 部の出力バッファがオーバーフローしない。

【図面の簡単な説明】

【図 1】この発明に係わる即時性優先制御方式を適用して構成した多重化装置の一実施例の概略構成を示すブロック図。

【図 2】従来の多重化装置の概略構成を示すブロック図。

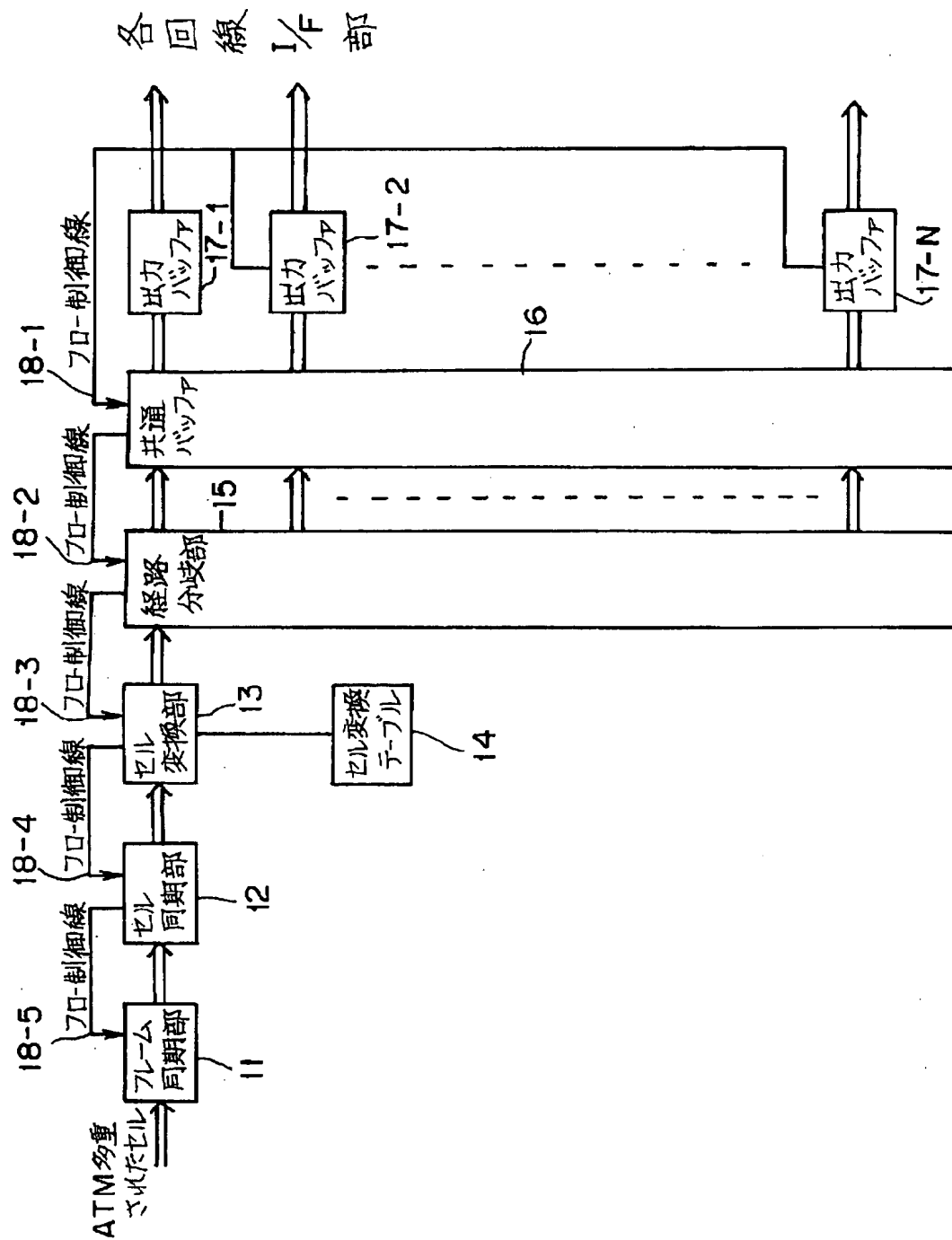
【図 3】図 1 および図 2 に示す経路分岐部内の概略構成を示すブロック図。

【図 4】トラヒックの品質を優先度ごとにクラス分けした場合の、トラヒック量と廃棄率の関係を示した図。

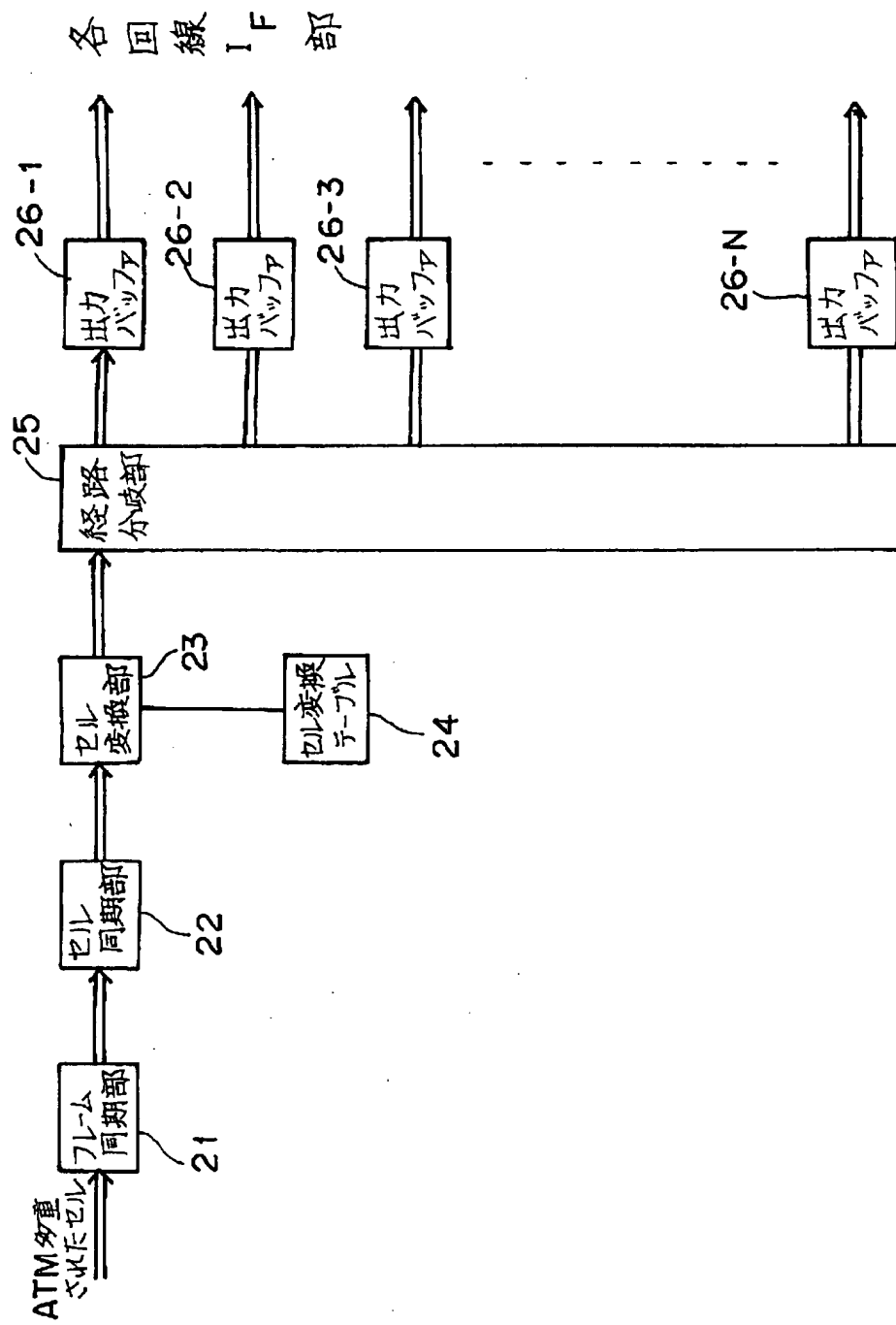
【符号の説明】

- | | |
|-----------|----------|
| 11 | フレーム同期部 |
| 12 | セル同期部 |
| 13 | セル変換部 |
| 14 | セル変換テーブル |
| 15 | 経路分岐部 |
| 16 | 共通バッファ |
| 17-1~17-N | 出力バッファ |
| 18-1~18-5 | フロー制御線 |

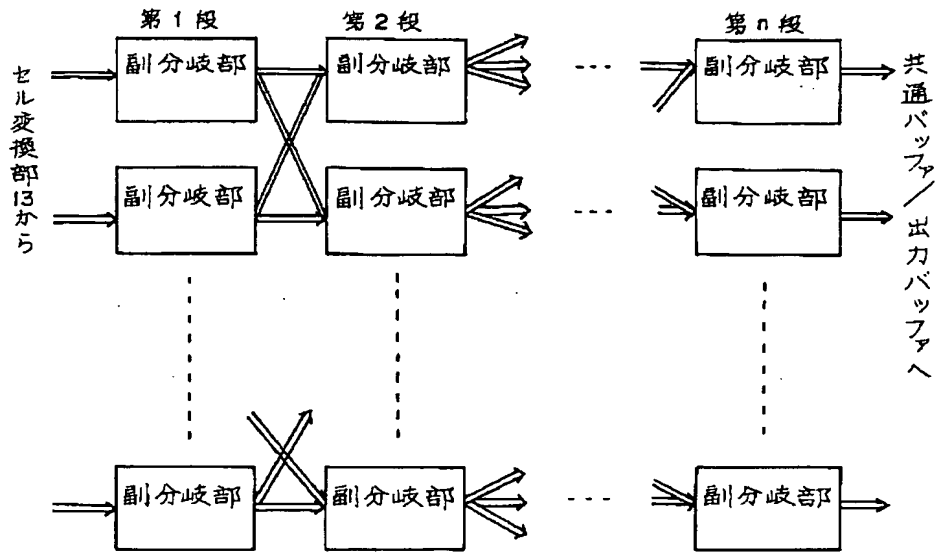
【図1】



【図 2】



【図 3】



【図 4】

